

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-111473

(43) 公開日 平成8年(1996)4月30日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 23/12				
C 0 8 G 77/04	NUA			
H 0 1 L 23/14				
			H 0 1 L 23/ 12	L
			23/ 14	Z
			審査請求 未請求 請求項の数12	OL (全 6 頁)

(21) 出願番号 特願平6-243646

(22) 出願日 平成6年(1994)10月7日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 永井 晃

茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内

(72) 発明者 江口 州志

茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内

(72) 発明者 荻野 雅彦

茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内

(74) 代理人 弁理士 小川 勝男

最終頁に続く

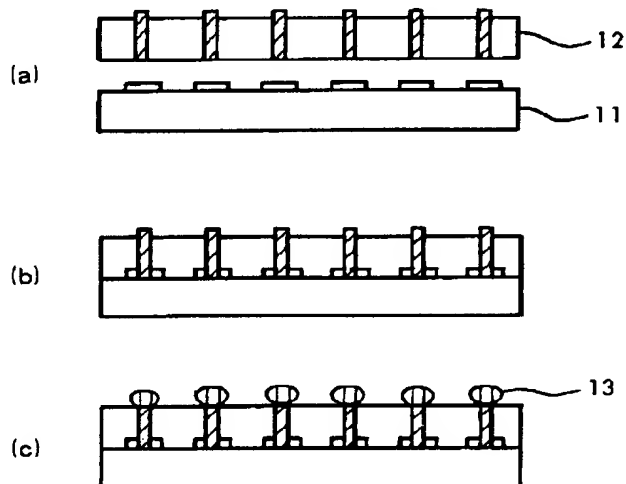
(54) 【発明の名称】 ボールグリッドアレイ型パッケージ及びそれを用いた実装構造

(57) 【要約】

【目的】 高速、多ピン化を目的に本発明はボールグリッドアレイ構造を有する半導体パッケージ構造において、熱応力を低減するための低弾性率エラストマを比較的簡易に導入する方法を提供する。

【構成】 実装基板と電気的に接続するための端子がアレイ状にボールグリッド型を有する半導体パッケージ構造において、半導体素子11とボールグリッドアレイ端子との接続間に層間接続能を有するエラストマ12を用いて、半導体素子11と実装基板との熱膨張率差により発生する熱応力を緩和する。

図 1



## 【特許請求の範囲】

【請求項 1】実装基板に対する接続端子がボールグリッドアレイ型の半導体パッケージ構造において、半導体素子とボールグリッドアレイ端子との接続間に層間接続能を有するエラストマを用いて、前記半導体素子と前記実装基板との熱膨張率差により発生する熱応力を緩和することを特徴とするボールグリッドアレイ型パッケージ。

【請求項 2】請求項 1 において、前記層間接続能を有するエラストマの弾性率が室温で  $1 \text{ kg f/mm}^2$  以下であるボールグリッドアレイ型パッケージ。

【請求項 3】請求項 1 において、前記層間接続能を有するエラストマがシロキサンポリマであることを特徴とするボールグリッドアレイ型パッケージ。

【請求項 4】請求項 1 において、層間接続能を有するエラストマが有機系ポリマであるボールグリッドアレイ型パッケージ。

【請求項 5】実装基板に対する接続端子がボールグリッドアレイ型の半導体パッケージ構造の実装構造において、半導体素子とボールグリッドアレイ端子との接続間に層間接続能を有するエラストマを用いて、半導体素子と実装基板との熱膨張率差により発生する熱応力を緩和することを特徴とするボールグリッドアレイ型パッケージ構造を実装基板に搭載したことを特徴とする実装構造。

【請求項 6】請求項 5 において、前記実装基板の絶縁層が有機系樹脂のマトリックスとガラスクロスから構成されている実装構造。

【請求項 7】請求項 5 において、前記実装基板の絶縁層がセラミックス系材料から構成されている実装構造。

【請求項 8】請求項 1 において、前記半導体素子が DRAM であるボールグリッドアレイ型パッケージ。

【請求項 9】請求項 1 において、前記半導体素子が ASIC であるボールグリッドアレイ型パッケージ。

【請求項 10】請求項 1 において、前記半導体素子が MPU であるボールグリッドアレイ型パッケージ。

【請求項 11】請求項 1 において、前記半導体素子がゲートアレイであるボールグリッドアレイ型パッケージ。

【請求項 12】請求項 1 において、前記半導体素子が SRAM であるボールグリッドアレイ型パッケージ。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は電気特性、実装信頼性に優れた高密度、多ピン化、高速伝送対応の半導体装置およびその実装構造に関する。

## 【0002】

【従来の技術】近年、電気、電子部品の高性能化に伴い半導体装置の高集積化および高密度化が強く望まれている。そのため半導体素子は LSI、VLSI、ULSI へと高集積、高機能化され、素子の大型化、多ピン化、高速化、高消費電力化が進んできた。これに対応して多

ピン用の半導体装置のパッケージ構造は素子の二辺に接続端子を有する構造から四辺すべてに端子を有する構造に変化してきた。さらに多ピン化対応として多層キャリア基板を用いて実装面全体に接続端子グリッドを有するグリッドアレイ構造が実用化されている。このグリッドアレイ構造の中には高速信号伝送を可能にするため接続端子長を短縮したボールグリッドアレイ構造 (BGA) が適用されている。接続端子としてのボール型構造は導体幅も太くなるため低インダクタンス化にも効果的である。さらに最近ではより高速対応として多層キャリア基板に比較的誘電率の低い有機材料が検討されている。しかし、有機材料は一般に半導体素子に比べて熱膨張率が大きいので、その熱膨張率差により発生する熱応力のため接続信頼性等に問題がある。最近このような BGA パッケージ構造において、半導体素子と実装基板との熱膨張率差により発生する熱応力を低弾性率のエラストマ材料で緩和することにより接続信頼性を向上させる新しい半導体素子パッケージ構造が提案されている (USP5148265)。しかし、この従来技術は半導体素子にエラストマを設置し、さらにその上に配線層を有するポリイミド層があり、その上に接続端子であるボールグリッドがアレイ状に存在する構成である。そのため比較的製造工程が煩雑であることと異種材料の界面が多いため長期信頼性等が懸念される。

## 【0003】

【発明が解決しようとする課題】本発明はボールグリッドアレイ構造を有する半導体パッケージ構造において、熱応力を低減するための低弾性率エラストマを比較的簡易に導入する方法を提供することを目的とする。本発明により得られる半導体装置およびその実装構造は優れた接続信頼性を有する。

## 【0004】

【課題を解決するための手段】上記目的を達成するため、本発明は以下の手段を提供する。すなわち、その第 1 手段はボールグリッドアレイ型パッケージ構造に関するもので次の特徴を有する。実装基板と電氣的に接続するための端子がアレイ状にボールグリッド型を有する半導体パッケージ構造において、半導体素子とボールグリッドアレイ端子との接続間に層間接続能を有するエラストマを用いて、半導体素子と実装基板との熱膨張率差により発生する熱応力を緩和することに達成される。この層間接続能を有するエラストマの特性は室温の弾性率が  $1 \text{ kg f/mm}^2$  以下であることが効果的である。エラストマの弾性率が低いほど、発生する熱応力は低減できる。その結果、優れた接続信頼性を有するパッケージ構造を提供することが可能になる。エラストマを構成する材料としてシロキサンポリマを用いることにより耐熱性に優れた低弾性率材料を利用することができる。この時、特にシロキサンポリマとしてガラス転移温度が  $-5 \sim 5^\circ\text{C}$  以下の材料を用いることにより温度サイクル試験で

優れた信頼性を確保することが可能である。シロキサン以外の材料は数多くの有機系ポリマを適用することが可能である。このような有機系ポリマで特に耐熱性に優れた材料はポリイミド系材料、含フッ素系材料、フルオロシリコーンポリマ等が挙げられるがこれに限定されるものではない。

【0005】本発明の第2の手段は実装基板に対する接続端子がボールグリッドアレイ型の半導体パッケージ装置の実装する構造において、半導体素子とボールグリッドアレイ端子との接続間に層間接続能を有するエラストマを用いて、半導体素子と実装基板との熱膨張率差により発生する熱応力を緩和することにより、優れた接続信頼性を有するボールグリッドアレイ型パッケージ装置を実装基板に搭載したことを特徴とする実装構造から構成されることにより達成される。本発明により得られるボールグリッドアレイ型の半導体パッケージ装置は、半導体素子と実装基板の間に設けられた低弾性率のエラストマにより実装時の接続信頼性が優れた実装構造を提供することが可能になる。この時実装基板は特に限定されないが、例えば、次に示す材料が一般的に用いられる。即ち、絶縁層が有機系樹脂のマトリックスとガラスクロスから構成されていることを特徴とする実装基板あるいは絶縁層がセラミックス系材料から構成されている実装基板等が用いられる。本発明の半導体パッケージ構造において、適用される半導体素子は、例えば、DRAM、ASIC、ゲートアレイ、MPU、SRAM、及びそれらの複合機能等に適用される。これらの半導体素子は高密度化、高性能化に伴い、最近特に多ピン化、高速化が要求されている。

【0006】従来技術は半導体素子にエラストマを設置し、さらにその上に配線層を有するポリイミド層を設置し、その上に実装基板との接続端子であるボールグリッドがアレイ状に存在する構成である。この時半導体素子とポリイミド上の配線層との接続はワイヤボンディング法等を用いている。そのため比較的製造工程が煩雑であることと数多くの異種材料から構成されている。そのためそれらの界面で接着性が長期信頼性等の低下に結び付く可能性が高い。

【0007】本発明ではエラストマの両面が所定の格子ピッチで電氣的に接続された層間電氣的接続能のある材料を用いることにより上記従来技術の問題点を解決できる。具体的な構成の一例は、面上にバンプアレイ端子を有する半導体素子の上に層間接続能を有するエラストマを設置する。さらにその最外層にボール状端子を形成することによりボールグリッドアレイ構造(BGA)型半導体パッケージ装置を構成することができる。以上、本発明では極めて簡易に半導体素子と実装基板との間に低弾性率エラストマを提供することが可能である。また構成材料がエラストマだけと非常に簡単であるため異種材料の界面における接着力の信頼性等を考慮する必要がな

く、DRAMを初め多くの半導体分野の実装方法として有用である。構成が簡単であるということはコスト低減を図ることができ、製造上大きな利点となる。

【0008】本発明では接続方法にボールグリッドアレイ構造のみを採用することができ、従来構造のようにワイヤボンディング法を併用した場合に比べて高速、多ピン化対応を容易に達成することができる。これはグリッドアレイ構造は半導体素子の面全体から端子を取りだすことができるため、従来の四辺から端子を取る場合に比べて多ピン化が容易である。またボールバンプ構造で接続するためワイヤボンディングに比べて配線が短く、且つ太くなるため低インダクタンスとなり、高速化に有利である。

【0009】本発明において、半導体素子とはSi、GaAs等の半導体からなるウエハ上にメモリ、ロジック、ゲートアレイ、カスタム、パワートランジスタ等のIC、LSI等を形成し、リード、バンプ等に接続する端子を有する素子である。

【0010】本発明において代表的な実装基板は有機材料とガラスクロス等の補強材から構成される積層板やセラミックス系材料から構成される基板が挙げられる。このうち、有機材料とガラスクロス等の補強材から構成される積層板は補強材に樹脂成分を含浸して得られるプリプレグ、シート等を少なくとも1枚以上積層して加圧接着成形して得られる構造体である。補強材はガラス(Eガラス、Sガラス、Dガラス、Qガラス等)チタン等の無機系繊維からなるクロス、シート、ポリアミド、ポリアミドイミド、ポリイミド、液晶性ポリマ、芳香族アミド等からなるクロス、シート、カーボン繊維からなるクロスおよびこれらの無機系繊維、有機系繊維、カーボン繊維の複合体からなるクロス、シートがある。

【0011】実装基板の有機材料を構成するマトリックス樹脂は、例えば、エポキシ樹脂、不飽和ポリエステル樹脂、エポキシイソシアネート樹脂、マレイミド樹脂、マレイミドエポキシ樹脂、シアン酸エステル樹脂、シアン酸エステルエポキシ樹脂、シアン酸エステルマレイミド樹脂、フェノール樹脂、ジアリルフタレート樹脂、ウレタン樹脂、シアナミド樹脂、マレイミドシアナミド樹脂、ポリイミド樹脂等の各種熱硬化性樹脂が挙げられる。

【0012】本発明におけるセラミックス系材料はアルミナ基板、ムライト基板、シリカ基板、コージュライト基板、低融点ガラス基板、窒化アルミ基板、アルミ基板、シリコン基板等が挙げられる。この他上記二種の複合基板として有機-セラミックス系基板がある。例えば多孔質セラミックス-有機樹脂含浸複合基板、セラミックス溶射銅箔-有機樹脂ガラスクロス複合基板等が挙げられる。

【0013】

【作用】本発明はボールグリッドアレイ型パッケージ構

造に関し、次の特徴を有する。すなわち、実装基板と電氣的に接続するための端子がアレイ状にボールグリッド型を有する半導体パッケージ構造において、半導体素子とボールグリッドアレイ端子との接続間に層間接続能を有するエラストマを用いて、半導体素子と実装基板との熱膨張率差により発生する熱応力を緩和することにより高速、多ピン化対応の接続信頼性に優れた半導体装置を提供する。この層間接続能を有するエラストマを用いることにより容易に半導体素子に多量のボールグリッドアレイ構造の接続端子を設置することができる。その他の構成材料を組み合わせることがないので、異種材料界面の接着性等の問題も生じない。また工程が非常に簡単になり、かつ構成材料も少ないため従来技術に比べて大幅な原価低減が期待できる。

【0014】半導体素子と実装基板間に存在する低弾性率のエラストマにより、半導体素子と実装基板間の熱膨張率差によって生じる熱応力を緩和することができ、実装基板の材料に限定を受けずに接続信頼性に優れた半導体パッケージ装置を提供することができる。

【0015】さらに得られる半導体装置は実装基板との接続端子が面内上に設置されたボールグリッドアレイ構造であるため、パッケージ面積を大きくせずにもピン化が可能である。またボールグリッド端子は太く、短い端子であるためインダクタンスを小さくすることができ高速処理に関しては非常に有効である。また本特許のパッケージ構造は図からも分かるように信号伝送距離を最短にすることができ、この点からも高速化に対応したパッケージ構造である。

【0016】

【実施例】次に実施例に基づき、本発明及び図を詳細に説明する。

【0017】【実施例1】図1において、チップサイズ14.5×14.5mmの片面に1mmピッチの格子で端子(225ピン)が存在する半導体素子11上に基板間接続用圧接型のエラストマ(信越ポリマ、厚さ0.3mm)12を接着剤で接着し、半導体素子上の端子とエラストマ内の導線とを電氣的に接続した。エラストマ上部に現われた導線電極にはんだめっきにより、はんだボール13を実装基板に対する接続端子として形成した。はんだボールの大きさは直径0.5mmである。

【0018】【実施例2】図2に示すように、チップサイズ13×13mmの片面に1.27mmピッチの千鳥格子で端子(221ピン)が存在する半導体素子21上にあらかじめはんだボール23をめっきにより形成した基板間接続用圧接型エラストマ(信越ポリマ、厚さ0.5mm)22を接着剤で接着し、半導体素子上の端子とエラストマ内の導線とを電氣的に接続した。半導体素子との接着面ははんだボール形成面の反対面を用いた。はんだボールの大きさは直径0.3mmである。

【0019】【実施例3】図1に示すように、チップサ

イズ13.5×13.5mmの片面に0.5mmピッチの格子で端子(729ピン)が存在する半導体素子11上に基板間接続用圧接型エラストマ(信越ポリマ、厚さ0.7mm)12を接着剤で接着し、半導体素子上の端子とエラストマ内の導線とを電氣的に接続した。エラストマ上部に現われた導線電極にはんだペーストにより、はんだボール13を実装基板に対する接続端子として形成した。はんだボールの大きさは直径0.3mmである。

【0020】【実施例4】図3に示すように、チップサイズ15.5×15.5mmの片面に1.5mmピッチの格子で端子(44ピン)が存在する半導体素子31上に基板間接続用ポリイミドエラストマ(日東電工、厚さ1mm)32を接着剤で接着し、半導体素子上の端子とエラストマ内の導線とを電氣的に接続した。エラストマ上部に現われた導線電極にはんだめっきにより、はんだボール33を実装基板に対する接続端子として形成した。はんだボールの大きさは直径0.8mmである。

【0021】【実施例5】図4に示すように、チップサイズ25.5×25.5mmの片面に1mmピッチの千鳥格子で端子(1301ピン)が存在する半導体素子上に基板間接続用エラストマ加圧により接着し、半導体素子上の端子とエラストマ内の導線とを電氣的に接続した。エラストマは以下の工程で作成した。型内41に直径0.1mmの銅線42を1mmの千鳥格子ピッチで配置し、シリコン系エラストマであるJCR6126(東レダウコーニング)を注型で流し込み150℃、1時間硬化反応を進めた後、型から取り出して層間接続能を有するエラストマを形成した。次にエラストマ上部に現われた銅線電極にはんだめっきを施し、はんだボールを実装基板に対する接続端子として形成した。はんだボールの大きさは直径0.3mmである。

【0022】【実施例6】図5に示すように、実装基板として一般的なエポキシ系多層基板FR-4(ANSI(American National Standard Institute)規格)52を用いて、実施例1-5で得られたボールグリッドアレイ型端子を有する半導体装置51を実装して温度サイクル試験により接続信頼性を評価した。試験条件は150℃/10分→55℃/10分、1000回とした。

【0023】【実施例7】図5に示すように、実装基板としてセラミックス系アルミナ多層基板52を用いて、実施例1-5で得られたボールグリッドアレイ型端子を有する半導体装置51を実装して温度サイクル試験により接続信頼性を評価した。試験条件は150℃/10分→55℃/10分、1000回とした。

【0024】【比較例1】図6に示すように、実施例1で用いたチップサイズ14.5×14.5mmの片面に1mmピッチの格子で端子(225ピン)が存在する半導体素子61上に直接はんだめっきにより、はんだボール62を実装基板に対する接続端子として形成した。はんだボールの大きさは直径0.5mmである。得られた半導体装

置を実施例6、7と同様に実装基板に実装して接続信頼性を比較した。

【0025】〔比較例2〕チップサイズ14.5×14.5mmの片面の四辺に0.25mmピッチで端子(224ピン)が存在する半導体素子上にシリコンエラストマを接着剤を用いて接着し、さらにその上にはんだボール付きポリイミドフレキシブル配線板を接着した。チップ上の端子とポリイミド配線板上の電極をワイヤボンディング法により電氣的に接続して、パッケージ構造を得た。は\*

表 1

	実 施 例 6	実 施 例 7
実 施 例 1	0 / 1 0 0	0 / 1 0 0
実 施 例 2	0 / 1 0 0	0 / 1 0 0
実 施 例 3	0 / 1 0 0	0 / 1 0 0
実 施 例 4	0 / 1 0 0	0 / 1 0 0
実 施 例 5	0 / 1 0 0	0 / 1 0 0
比 較 例 1	8 0 / 1 0 0	5 0 / 1 0 0
比 較 例 2	2 0 / 1 0 0	1 0 / 1 0 0

## 【0028】

【発明の効果】本発明はエラストマの両面が所定の格子ピッチで電氣的に接続された層間電氣的接続能のある材料を用いることにより接続信頼性に優れた半導体パッケージ装置を得ることができる。具体的な構成の一例は、面上にバンプアレイ端子を有する半導体素子の上に層間接続能を有するエラストマを設置する。さらにその最外層にボール状端子を形成することによりボールグリッドアレイ構造(BGA)型半導体パッケージ装置を構成することができる。以上、本発明では極めて簡易に半導体素子と実装基板との間に低弾性率エラストマを提供することが可能である。この低弾性率エラストマが半導体素子と実装基板との熱膨張率差によって生じる熱応力を完全に緩和する効果を有する。そのため温度サイクル試験において全く欠陥の生じない優れた接続信頼性を有する半導体装置及びその実装構造を提供することができる。

【0029】また構成材料がエラストマとボール型接続端子だけと非常に簡単であるため異種材料の界面における接着力の信頼性等を考慮する必要がなく、DRAMを初め多くの半導体分野の実装方法として極めて有用である。構成が簡単であるということはコスト低減を図ることができ、製造上大きな利点となる。

【0030】本発明では接続方法にボールグリッドアレイ構造のみを採用することができ、従来構造のようにワイヤボンディング法を併用した場合に比べて高速、多ピン化対応を容易に達成することができる。これはグリッ※

\* んだボールの大きさは直径0.5mmである。得られた半導体装置を実施例6、7と同様に実装基板に実装して接続信頼性を比較した。

【0026】温度サイクル試験結果(150℃/10分  
←→55℃/10分、1000回)欠陥の数(100個中)

【0027】

【表1】

※ドレイ構造は半導体素子の面全体から端子を取り出すことができるため、従来の四辺から端子を取る場合に比べて多ピン化が容易である。またボールバンプ構造で接続するためワイヤボンディングに比べて配線が短く、且つ太くなるため低インダクタンスとなり、高速化に対しても極めて有利である。今後パーソナルコンピュータ、ワークステーション分野を初め、多くの電子産業分野では電子機器の高性能化に伴い、高速、多ピンの半導体パッケージ装置が必要になる可能性が極めて高い。本発明によりこのような要求に満足した高密度多ピン化、高速化に対応した新しい半導体素子のパッケージ構造を提供することができる。

【図面の簡単な説明】

【図1】本発明の実施例1、3、5の半導体装置の製造工程図。

【図2】本発明の実施例2の半導体装置の製造工程図。

【図3】本発明の実施例4の半導体装置の製造工程図。

【図4】本発明の実施例5のシリコン系エラストマ作製のための型の説明図。

【図5】本発明の実施例6、7の実装構造の断面図。

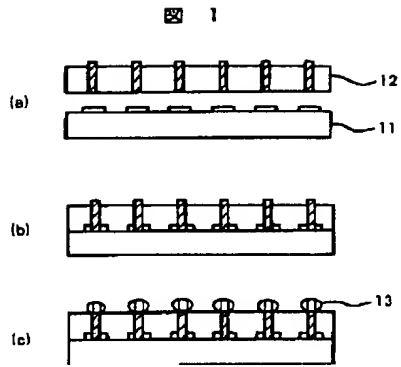
【図6】本発明の比較例1の製造工程図。

【図7】本発明の比較例2の製造工程図。

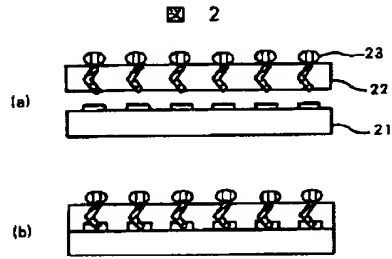
【符号の説明】

11…半導体素子、12…エラストマ、13…はんだボール。

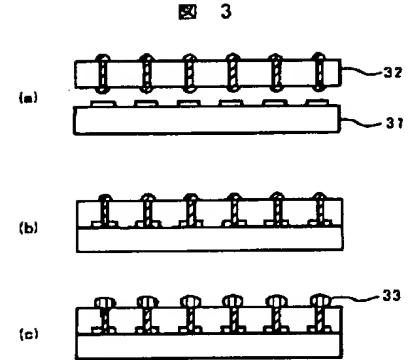
【図 1】



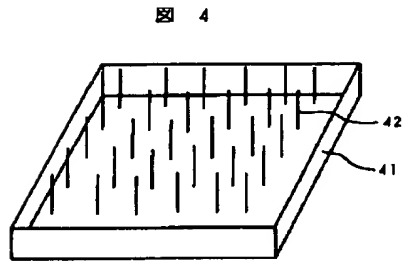
【図 2】



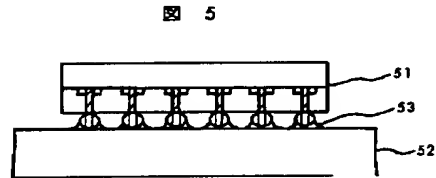
【図 3】



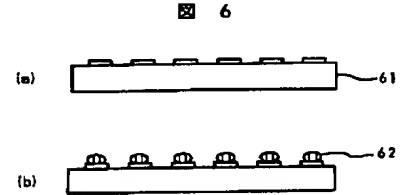
【図 4】



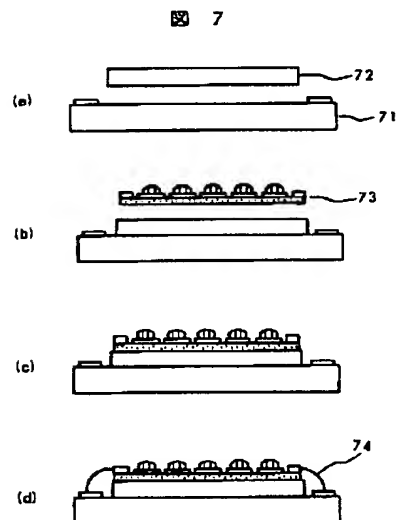
【図 5】



【図 6】



【図 7】



フロントページの続き

(72)発明者 赤星 晴夫  
茨城県日立市大みか町七丁目 1 番 1 号 株  
式会社日立製作所日立研究所内